

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-066406

(43)Date of publication of application : 10.03.1995

(51)Int.CI.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 05-210584

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.08.1993

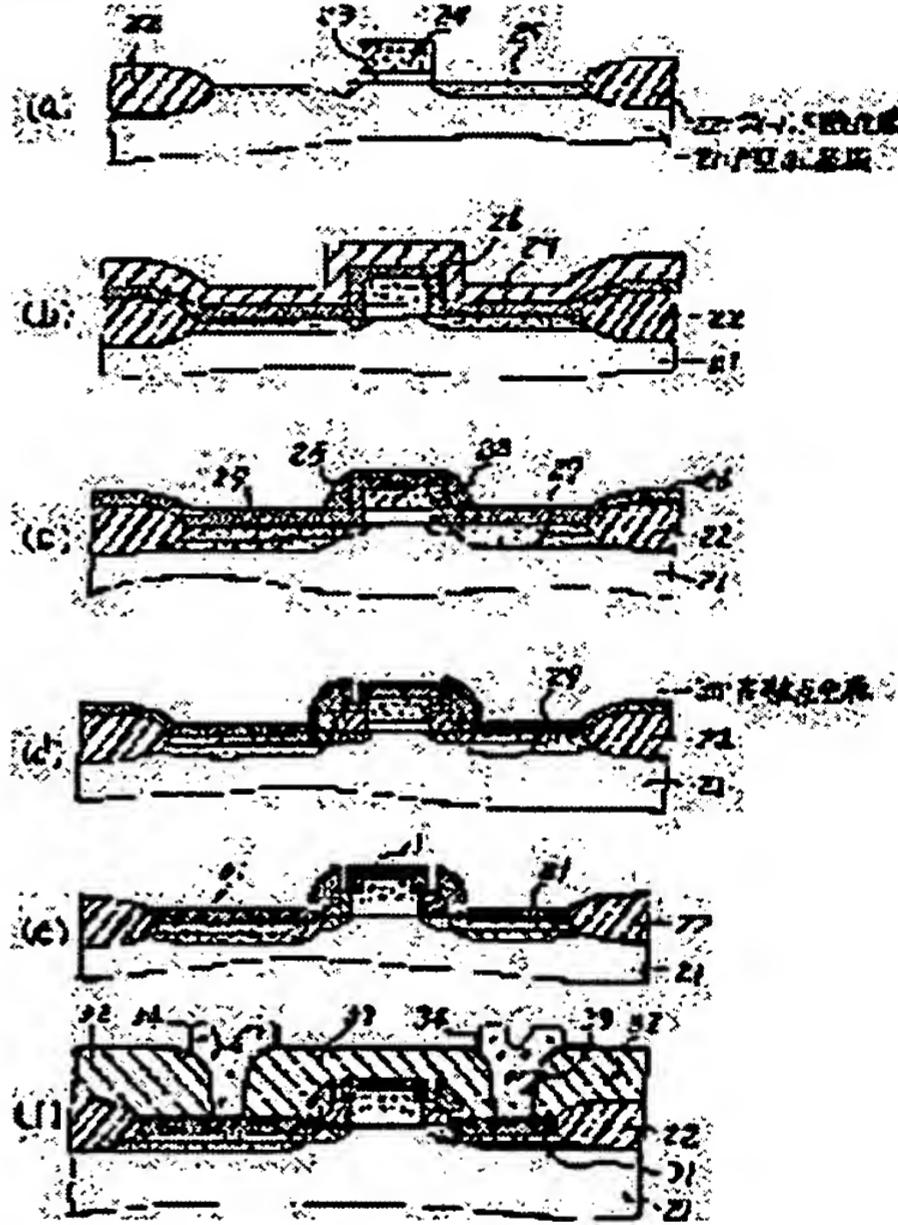
(72)Inventor : IDA JIRO

(54) SELF-ALIGNED SILICIDE MOSFET AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To restrain the increase of gate resistance in accordance with the reduction of gate size, and realize the high speed operation of a circuit.

CONSTITUTION: In a self-aligned silicide MOSFET, high melting point metal silicide 31 is formed in at least a part of both side surfaces of a gate electrode 24 and at least a part of the lower portion of a side wall 28 of the gate electrode 24.



LEGAL STATUS

[Date of request for examination] 24.08.1999

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The Salicide mold MOSFET characterized by providing the refractory metal silicide formed in a part of both-sides side [at least] of a gate electrode.

[Claim 2] The Salicide mold MOSFET according to claim 1 characterized by providing the refractory metal silicide formed in a part of lower part [at least] of the sidewall insulator layer of said gate electrode.

[Claim 3] (a) The process which deposits an oxide film on the whole surface after gate electrode formation, and the process which deposits a nitride all over (b) and forms a nitride sidewall by anisotropic etching, (c) The process etched so that a part of both-sides side of said gate electrode may expose said oxide film and a part of silicon substrate under a nitride sidewall may be exposed, (d) The manufacture approach of the Salicide mold MOSFET characterized by giving the process which deposits a refractory metal on the whole surface, and the process which performs (e) silicide-ized reaction and removes an unreacted refractory metal.

[Claim 4] (a) The manufacture approach of the Salicide mold MOSFET characterized by giving the process which deposits an insulator layer on the whole surface after gate electrode formation, the process which etches until a part of gate electrode both-sides side is exposed with (b) anisotropic etching, the process which deposits a refractory metal all over (c), and the process which performs (d) silicide-ized reaction and removes an unreacted refractory metal.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure and its manufacture approach of the Salicide mold MOSFET.

[0002]

[Description of the Prior Art] In order for the gate length to become short and to control a short channel effect as MOSFET (Metal Oxide Semiconductor Field Effect Transistor) is contractionized, the junction depth X_f of a source drain field must be made shallow. Since gate length becomes short, the on resistance of MOSFET falls and X_j becomes shallow by one side, the sheet resistance of a source drain increases.

[0003] Therefore, in MOSFET of a submicron field, it becomes impossible for the sheet resistance of a source drain to ignore to the on resistance of MOSFET, and gate length becomes remarkable [the problem to which the driving force of MOSFET falls by parasitism resistance of a source drain field]. To such a problem, a source drain and the gate are silicide-ized to self-alignment, and there is a salicide process which lowers sheet resistance.

[0004] Titanium Salicide is shown for Salicide mold MOSFET and the process conventionally used for drawing 2 in an example.

(1) First, as shown in drawing 2 (a), usually form the gate electrode 3, a sidewall 4, and the source drain layer 5 after forming field oxide 2 on the semi-conductor substrate 1 according to a production process.

[0005] (2) Next, as shown in drawing 2 (b), deposit the Ti film 6 on the whole surface.

(3) Next, make silicide 7-ization cause in the place where a source drain, and the silicon layer and the Ti film 6 of the gate have touched by annealing for about 10 seconds at 700 degrees C, as shown in drawing 2 (c). Then, selective etching removes unreacted Ti on field oxide 2 and a sidewall 4. Then, silicide low resistance-ized annealing for about 10 seconds is performed at 900 degrees C.

[0006] (4) After that, according to a process, as shown in drawing 2 (d), an interlayer 8 is deposited, carry out opening of the contact hole 9, form a wiring layer 10, and, finally usually form a protective coat 11.

[0007]

[Problem(s) to be Solved by the Invention] However, also in the conventional Salicide mold MOSFET described above, there are the following problems as gate length will become still shorter from now on. First, also at the silicide-ized gate, resistance of the gate comes to check the high-speed operation of a circuit as gate length becomes short with 0.3 micrometers, 0.2 micrometers, and 0.1 micrometers. That is, the gate length of 0.2 micrometers, and the gate width of 20 micrometers, if sheet resistance of silicide is usually made into 5ohm/**, it becomes 500-ohm resistance only at the gate of 20-micrometer width of face, and it will become sufficiently large and will become the degradation factor of the high-speed operation of a circuit from the on resistance (if it carries out in 20-micrometer width of face and 0.6mA/micrometer

170ohms) of MOSFET of 0.2-micrometer time.

[0008] Moreover, even if it becomes impossible for the sheet resistance of the source drain field where it is not Salicide-ized under the sidewall to ignore and this is the Salicide mold MOSFET, it becomes the cause which lowers current driving force. This invention abolishes increase of the gate resistance which the gate dimension described above follows on being contraction-ized, and aims at offering the Salicide mold MOSFET which can plan high-speed operation of a circuit, and its manufacture approach.

[0009]

[Means for Solving the Problem] This invention prepares the refractory metal silicide formed in a part of both-sides side [at least] of a gate electrode in (A) Salicide mold MOSFET, in order to attain the above-mentioned purpose. Furthermore, the refractory metal silicide formed in a part of lower part [at least] of the sidewall insulator layer of said gate electrode is prepared.

[0010] (B) Moreover, the process which deposits an oxide film on the whole surface after gate electrode formation in the manufacture approach of the Salicide mold MOSFET, The process which deposits a nitride on the whole surface and forms a nitride sidewall by anisotropic etching, The process etched so that a part of both-sides side of said gate electrode may expose said oxide film and a part of silicon substrate under a nitride sidewall may be exposed, It is made to give the process which deposits a refractory metal on the whole surface, and the process which performs a silicide-ized reaction and removes an unreacted refractory metal.

[0011] (C) Furthermore, be made to give the process which deposits an insulator layer on the whole surface, the process which etches until a part of gate electrode both-sides side is exposed with anisotropic etching, the process which deposits a refractory metal on the whole surface, and the process which performs a silicide-ized reaction and removes an unreacted refractory metal after gate electrode formation in the manufacture approach of the Salicide mold MOSFET.

[0012]

[Function] As described above, even when a gate dimension is contraction-ized with high integration according to this invention, since [of a gate electrode] a part of both-sides side is silicide-ized at least, low resistance-ization of a gate electrode can be attained. Moreover, since a part of sidewall is removed and silicide-ization on a source drain was close brought to near the gate, the parasitism resistance under a sidewall can be reduced.

[0013] And in the above (B), since a refractory metal becomes thin, so that the bottom of a nitride goes to a gate electrode side since he is trying to deposit a refractory metal by the surroundings lump at the time of sputtering so that it goes to the back that is, and it becomes so shallow that the junction depth of a source drain and high impurity concentration also approach a gate electrode side, junction leakage current can be reduced.

[0014] Moreover, in the above (B), since the etching removal of the oxide film of a gate electrode surface and the silicon substrate surface used as a source drain can be certainly carried out while etching about 1000A between a nitride sidewall and gate electrodes and between a nitride sidewall and silicon substrates, the stable silicide formation is attained.

[0015]

[Example] Hereafter, it explains to a detail, referring to drawing about the example of this invention. Drawing 1 is the production process sectional view of the Salicide mold MOSFET in which the 1st example of this invention is shown. Here, the example of N-channel metal oxide semiconductor FET shows.

(1) it is first shown in drawing 1 (a) — as — the P type silicon substrate 21 top — field oxide 22 (about 4000A) — the usual LOCOS — form by law. Then, gate oxide 23 (about 100A) is formed, and about 3000A of polycrystalline silicon film 24 used as a gate electrode is further deposited by LPCVD. The usual HOTORISO etching performs pattern formation of a gate electrode. 25 is a LDD layer.

[0016] (2) Next, as shown in drawing 1 (b), deposit 300A – about 700A of oxide films 26 on the

whole surface by LPCVD. in this case, lowering temperature as membrane formation conditions etc. — as ***** — a next process — it considers as the membranous quality to which etching progresses sufficiently more quickly than field oxide 22 at the time of the oxide film wet etching in (4 [refer to drawing 1 (d)]). Then, the about 1500A nitride 27 is deposited by plasma CVD. in this case, lowering RF power as membranous quality etc. — low — it is necessary to consider as stress membranous quality and to prevent that a defect enters into silicon [0017] (3) Next, as shown in drawing 1 (c), by anisotropic etching, etch a nitride 27 and form the sidewall 28 with width of face of about 1500A. Then, a sidewall 28 is used as a mask, impurity impregnation for source drain formation is performed into silicon, and the source drain layer 29 is formed.

(4) next, it is shown in drawing 1 (d) — as — the etchant of a fluoric acid system — said process — carry out etching removal of the oxide film 26 deposited in (2 [refer to drawing 1 (b)]), and carry out etching removal also of the polycrystalline silicon film 24 which constitutes a gate electrode under the nitride sidewall 28 further, and about 1000A also of the oxide films of the pinched part. Then, about 300-400A of refractory metal film 30, such as Ti, is deposited on the whole surface by sputtering. It is made for the refractory metal film 30 to accumulate also on the bottom of a gate both-sides side and the nitride sidewall 28 enough by sputtering, such as 875MHzx2 twice with a high ECR resonance frequency, in this case.

[0018] (5) Next, as shown in drawing 1 (e), by annealing, make silicide-ization cause in the part which the refractory metal film 30, the P type silicon substrate 21, and the polycrystalline silicon film 24 contacted, and consider as refractory metal silicide 31. Furthermore, etching removes alternatively the unreacted refractory metal on an oxide film 26 and a nitride 27. Then, low resistance-ized annealing of refractory metal silicide 31 is performed.

[0019] (6) Next, as shown in drawing 1 (f), according to the usual approach, deposit an interlayer 32, open the contact hole 33 with wiring, and carry out patterning of the wiring layer 34 there. Drawing 3 is the production process sectional view of the Salicide mold MOSFET in which the 2nd example of this invention is shown.

[0020] (1) First, as shown in drawing 3 (a), complete to gate patterning like drawing 1 (a). that is, the P type silicon substrate 41 top — field oxide 42 (about 4000A) — the usual LOCOS — it forms by law. Then, gate oxide 43 (about 100A) is formed, and about 3000A of polycrystalline silicon film 44 used as a gate electrode is further deposited by LPCVD. The usual HOTORISO etching performs pattern formation of a gate electrode. 45 is a LDD layer.

[0021] (2) Next, as shown in drawing 3 (b), deposit about 1000A of oxide films 46 on the whole surface by LPCVD. in this case, lowering temperature as membrane formation conditions etc. — as ***** — a next process — it considers as the membranous quality to which etching progresses sufficiently more quickly than field oxide 42 at the time of the oxide film anisotropic etching in (3 [refer to drawing 1 (c)]).

(3) Subsequently, advance etching until it etches the oxide film 46 by anisotropic etching and about 1000A of oxide films 47 comes out to the both-sides side of the gate further, as shown in drawing 3 (c).

[0022] (4) Subsequently, as shown in drawing 3 (d), deposit a refractory metal 48 on the whole surface. In this case, the sputtering technique which a refractory metal 48 deposits on the both-sides side of the gate enough is used like the 1st example.

(5) Next, as shown in drawing 3 (e), perform silicide-ized reaction, unreacted refractory metal removal, and low resistance-ized annealing like drawing 1 (e). That is, by this annealing, silicide-ization is made to cause in the part in contact with the polycrystalline silicon film 44 which is the refractory metal film 48, the P type silicon substrate 41, and a gate electrode, and it considers as refractory metal silicide 49.

[0023] The following follows the process of drawing 1 (f). In addition, as for deposition of said refractory metal, it is desirable to carry out with the good sputtering technique of step coverage, such as a resonance frequency (a high frequency is used) and an ECR sputtering technique.

Moreover, this invention is not limited to the above-mentioned example, and based on the meaning of this invention, various deformation is possible for it and it does not eliminate these from the range of this invention.

[0024]

[Effect of the Invention] As mentioned above, since a part of gate electrode both-sides side [at least] is silicide-ized according to this invention even when a gate dimension is contraction-ized with high integration as explained to the detail, low resistance-ization of a gate electrode can be attained. Furthermore, a part of bottom of a nitride sidewall can also be silicide-ized, and the parasitism resistance under a sidewall can be reduced. And since a refractory metal becomes thin, so that the bottom of a nitride sidewall approaches a gate electrode side since the refractory metal is deposited by the surroundings lump at the time of sputtering so that it goes to the back that is, and it becomes so shallow that the junction depth of a source drain and high impurity concentration also approach a gate electrode side, junction leakage current can be reduced.

[0025] Moreover, since the etching removal of the oxide film of a gate electrode surface and the silicon substrate surface used as a source drain can be certainly carried out while etching about 1000A between a nitride sidewall and gate electrodes and between a nitride sidewall and silicon substrates, the stable silicide formation is attained. Furthermore, in the manufacture approach in Fig. 3, since a part of gate electrode both-sides side [at least] is silicide-ized as it is also at an easy process, low resistance-ization of a gate electrode can be attained.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-66406

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.⁶

H 01 L 29/78

21/336

21/28

識別記号

府内整理番号

F I

技術表示箇所

3 0 1

T 7376-4M

7514-4M

H 01 L 29/78

3 0 1

P

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号

特願平5-210584

(22)出願日

平成5年(1993)8月25日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 井田 次郎

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

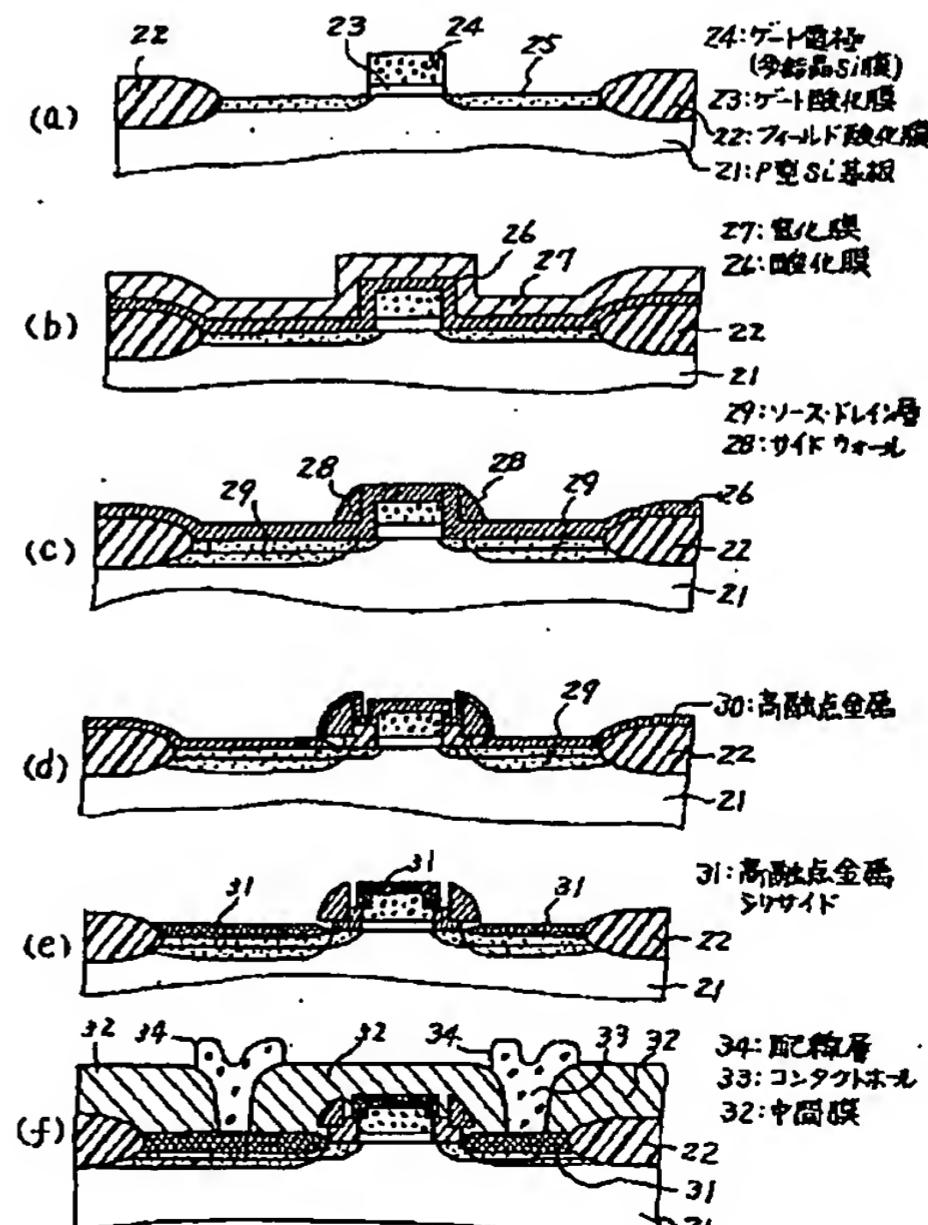
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 サリサイド型MOSFET及びその製造方法

(57)【要約】

【目的】 ゲート寸法が縮小化されるに伴い、ゲート抵抗が増えるのを抑え、回路の高速動作を図り得るサリサイド型MOSFET及びその製造方法を提供する。

【構成】 サリサイド型MOSFETにおいて、ゲート電極24の両側面の少なくとも一部及び該ゲート電極24のサイドウォール28の下方の少なくとも一部に高融点金属シリサイド31を形成する。



【特許請求の範囲】

【請求項1】 ゲート電極の両側面の少なくとも一部に形成される高融点金属シリサイドを具備することを特徴とするサリサイド型MOSFET。

【請求項2】 前記ゲート電極のサイドウォール絶縁膜の下方の少なくとも一部に形成される高融点金属シリサイドを具備することを特徴とする請求項1記載のサリサイド型MOSFET。

【請求項3】 (a) ゲート電極形成後、全面に酸化膜を堆積する工程と、

(b) 全面に窒化膜を堆積し、異方性エッチングにより窒化膜サイドウォールを形成する工程と、

(c) 前記酸化膜を前記ゲート電極の両側面が一部露出し、窒化膜サイドウォール下のシリコン基板が一部露出するようにエッチングする工程と、

(d) 全面に高融点金属を堆積する工程と、

(e) シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すことを特徴とするサリサイド型MOSFETの製造方法。

【請求項4】 (a) ゲート電極形成後、全面に絶縁膜を堆積する工程と、

(b) 異方性エッチングによりゲート電極両側面の一部が露出するまでエッチングを行う工程と、

(c) 全面に高融点金属を堆積する工程と、

(d) シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すことを特徴とするサリサイド型MOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、サリサイド型MOSFETの構造及びその製造方法に関するものである。

【0002】

【従来の技術】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が縮小化されるにしたがい、そのゲート長が短くなり、また、短チャネル効果を抑制するため、ソース・ドレイン領域の接合深さ X_f は、浅くせざるを得ない。ゲート長が短くなり、MOSFETのオン抵抗は下がり、一方で X_j が浅くなるため、ソース・ドレインのシート抵抗は増大する。

【0003】 したがって、ゲート長がサブミクロン領域のMOSFETでは、ソース・ドレインのシート抵抗が、MOSFETのオン抵抗に対して無視し得なくなり、MOSFETの駆動力がソース・ドレイン領域の寄生抵抗により低下する問題が顕著となる。このような問題に対して、ソース・ドレイン及びゲートをセルフ・アライメントにシリサイド化し、シート抵抗を下げるサリサイド・プロセスがある。

【0004】 図2に、従来より使われてきたサリサイド型MOSFET・プロセスをチタン・サリサイドを例に

示す。

(1) まず、図2(a)に示すように、通常製造工程にしたがって、半導体基板1上にフィールド酸化膜2を形成後、ゲート電極3、サイドウォール4、ソース・ドレイン層5を形成する。

【0005】 (2) 次に、図2(b)に示すように、全面に T_i 膜6を堆積する。

(3) 次に、図2(c)に示すように、700°Cで10秒程度のアニールにより、ソース・ドレイン及びゲートのシリコン層と T_i 膜6が接しているところで、シリサイド7化を起こさせる。その後、フィールド酸化膜2上、サイドウォール4上の未反応 T_i を選択エッチングにより除去する。その後、900°Cで10秒程度のシリサイド低抵抗化アニールを行なう。

【0006】 (4) その後、通常プロセスにしたがって、図2(d)に示すように、中間膜8を堆積し、コンタクトホール9を開口し、配線層10を形成し、最後に保護膜11を形成する。

【0007】

【発明が解決しようとする課題】 しかしながら、以上述べた従来のサリサイド型MOSFETにおいても、今後ゲート長がさらに短くなるにしたがい、以下の問題がある。まず、ゲート長が0.3μm, 0.2μm, 0.1μmと短くなるにしたがい、シリサイド化されたゲートにおいても、そのゲートの抵抗が回路の高速動作を阻害するようになる。すなわち、ゲート長0.2μm, ゲート幅20μm, 通常シリサイドのシート抵抗を5Ω/□とすると、20μm幅のゲートのみで500Ωの抵抗となり、0.2μm時代のMOSFETのオン抵抗(20μm幅, 0.6mA/μmとすると170Ω)より十分大きくなり、回路の高速動作の劣化要因となる。

【0008】 また、サイドウォール下のシリサイド化されていないソース・ドレイン領域のシート抵抗が無視し得なくなり、これがシリサイド型MOSFETであっても、電流駆動力を下げる原因となる。本発明は、以上述べたゲート寸法が縮小化されるに伴うゲート抵抗の増大をなくし、回路の高速動作を図り得るシリサイド型MOSFET及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

(A) サリサイド型MOSFETにおいて、ゲート電極の両側面の少なくとも一部に形成される高融点金属シリサイドを設けるようにしたものである。また、更に、前記ゲート電極のサイドウォール絶縁膜の下方の少なくとも一部に形成される高融点金属シリサイドを設けるようにしたものである。

【0010】 (B) また、サリサイド型MOSFETの製造方法において、ゲート電極形成後、全面に酸化膜を

堆積する工程と、全面に窒化膜を堆積し、異方性エッチングにより窒化膜サイドウォールを形成する工程と、前記酸化膜を前記ゲート電極の両側面が一部露出し、窒化膜サイドウォール下のシリコン基板が一部露出するようエッチングする工程と、全面に高融点金属を堆積する工程と、シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すようにしたものである。

【0011】(C)更に、サリサイド型MOSFETの製造方法において、ゲート電極形成後、全面に絶縁膜を堆積する工程と、異方性エッチングによりゲート電極両側面の一部分が露出するまでエッチングを行う工程と、全面に高融点金属を堆積する工程と、シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すようにしたものである。

【0012】

【作用】本発明によれば、上記したように、高集積化に伴いゲート寸法が縮小化される場合でも、ゲート電極の少なくとも両側面の一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができる。また、サイドウォールを一部除去して、ソース・ドレイン上のシリサイド化をゲート近傍まで近づけるようにしたので、サイドウォール下の寄生抵抗を低減することができる。

【0013】しかも、上記(B)において、窒化膜下は、スパッタリング時の回り込みにより、高融点金属を堆積するようにしているため、奥に行くほど、つまりゲート電極側に行くほど、高融点金属は薄くなり、ソース・ドレインの接合深さ、及び不純物濃度もゲート電極側に近づくほど浅くなるため、接合リーキ電流を低減できる。

【0014】また、上記(B)において、窒化膜サイドウォールとゲート電極の間、及び窒化膜サイドウォールとシリコン基板の間を1000Å程度エッチングする間に、ゲート電極表面、ソース・ドレインとなるシリコン基板表面の酸化膜を確実にエッチング除去できるため、安定したシリサイド形成が可能となる。

【0015】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の第1の実施例を示すサリサイド型MOSFETの製造工程断面図である。ここでは、NチャネルMOSFETの例で示す。

(1)まず、図1(a)に示すように、P型シリコン基板21上にフィールド酸化膜22(約4000Å)を通常のLOCOS法で形成する。その後、ゲート酸化膜23(約100Å)を形成し、更に、LPCVDにより、ゲート電極となる多結晶シリコン膜24を約3000Å堆積する。通常のホトリソエッチングにより、ゲート電極のパターン形成を行なう。25はLDD層である。

【0016】(2)次に、図1(b)に示すように、全面にLPCVDにより、酸化膜26を300Å~700Å程度堆積する。この場合、成膜条件として、温度を下

げる等により粗な膜として、後の工程(4)【図1(d)参照】における酸化膜ウェットエッチング時にフィールド酸化膜22より十分速くエッチングが進む膜質とする。その後、プラズマCVDにより、1500Å程度の窒化膜27を堆積する。この場合、膜質としては、RFパワーを下げる等により、低ストレスな膜質とし、シリコン中に欠陥が入るのを防止する必要がある。

【0017】(3)次に、図1(c)に示すように、異方性エッチングにより、窒化膜27をエッチングし、1500Å程度の幅を持つサイドウォール28を形成する。その後、サイドウォール28をマスクにしてシリコン中へソース・ドレイン形成用不純物注入を行い、ソース・ドレイン層29を形成する。

(4)次に、図1(d)に示すように、フッ酸系のエッチャントにより、前記工程(2)【図1(b)参照】で堆積した酸化膜26をエッチング除去し、さらに窒化膜サイドウォール28の下、及びゲート電極を構成する多結晶シリコン膜24と挟まれた部分の酸化膜をも1000Å程度エッチング除去する。引き続き、Ti等の高融点金属膜30を全面にスパッタリングにより、300~400Å程度堆積する。この場合、例えば、ECR共鳴周波数の高い875MHz×2倍等のスパッタリングにより、ゲート両側面及び窒化膜サイドウォール28下にも十分高融点金属膜30が堆積されるようとする。

【0018】(5)次に、図1(e)に示すように、アニールにより、高融点金属膜30、P型シリコン基板21及び多結晶シリコン膜24の接触した部分でシリサイド化を起こさせ、高融点金属シリサイド31とする。更に、酸化膜26上及び窒化膜27上の未反応高融点金属をエッチングにより選択的に除去する。その後、高融点金属シリサイド31の低抵抗化アニールを行なう。

【0019】(6)次に、図1(f)に示すように、通常の方法に従い、中間膜32を堆積し、配線とのコンタクトホール33を開け、そこに配線層34をパターニングする。図3は本発明の第2の実施例を示すサリサイド型MOSFETの製造工程断面図である。

【0020】(1)まず、図3(a)に示すように、図1(a)と同様、ゲートパターニングまで完了する。つまり、P型シリコン基板41上にフィールド酸化膜42(約4000Å)を通常のLOCOS法で形成する。その後、ゲート酸化膜43(約100Å)を形成し、更に、LPCVDにより、ゲート電極となる多結晶シリコン膜44を約3000Å堆積する。通常のホトリソエッチングにより、ゲート電極のパターン形成を行なう。45はLDD層である。

【0021】(2)次に、図3(b)に示すように、全面にLPCVDにより、酸化膜46を1000Å程度堆積する。この場合、成膜条件として、温度を下げる等により粗な膜として、後の工程(3)【図1(c)参照】における酸化膜異方性エッチング時にフィールド酸化膜

42より十分速くエッチングが進む膜質とする。

(3) 次いで、図3(c)に示すように、異方性エッチングによりその酸化膜46をエッチングし、さらにゲートの両側面に酸化膜47が1000Å程度出るまでエッチングを進める。

【0022】(4) 次いで、図3(d)に示すように、全面に高融点金属48を堆積する。この場合、第1の実施例と同様、ゲートの両側面に十分高融点金属48が堆積するスパッタリング技術を使用する。

(5) 次に、図3(e)に示すように、図1(e)と同様に、シリサイド化反応、未反応高融点金属除去、低抵抗化アニールを行なう。すなわち、このアニールにより、高融点金属膜48、P型シリコン基板41及びゲート電極である多結晶シリコン膜44と接触した部分でシリサイド化を起こさせ、高融点金属シリサイド49とする。

【0023】以下は、図1(f)の工程に従う。なお、前記高融点金属の堆積は、共鳴周波数（高い周波数を用いる）、ECRスパッタリング技術などのステップカバレージの良いスパッタリング技術で行なうことが望ましい。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0024】

【発明の効果】以上、詳細に説明したように、本発明によれば、高集積化に伴いゲート寸法が縮小化される場合でも、ゲート電極両側面の少なくとも一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができ。更に、窒化膜サイドウォール下も一部シリサイド化することができ、サイドウォール下の寄生抵抗を低減することができる。しかも、窒化膜サイドウォール下は、スパッタリング時の回り込みにより、高融点金属を堆積しているため、奥に行くほど、つまりゲート電極側に近くほど、高融点金属は薄くなり、ソース・ドレインの

接合深さ、及び不純物濃度もゲート電極側に近づくほど浅くなるため、接合リーケ電流を低減できる。

【0025】また、窒化膜サイドウォールとゲート電極の間、及び窒化膜サイドウォールとシリコン基板の間を1000Å程度エッチングする間に、ゲート電極表面、ソース・ドレインとなるシリコン基板表面の酸化膜を確実にエッチング除去できるため、安定したシリサイド形成が可能となる。更に、第3図における製造方法においては、簡単な工程でもって、ゲート電極両側面の少なくとも一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すシリサイド型MOSFETの製造工程断面図である。

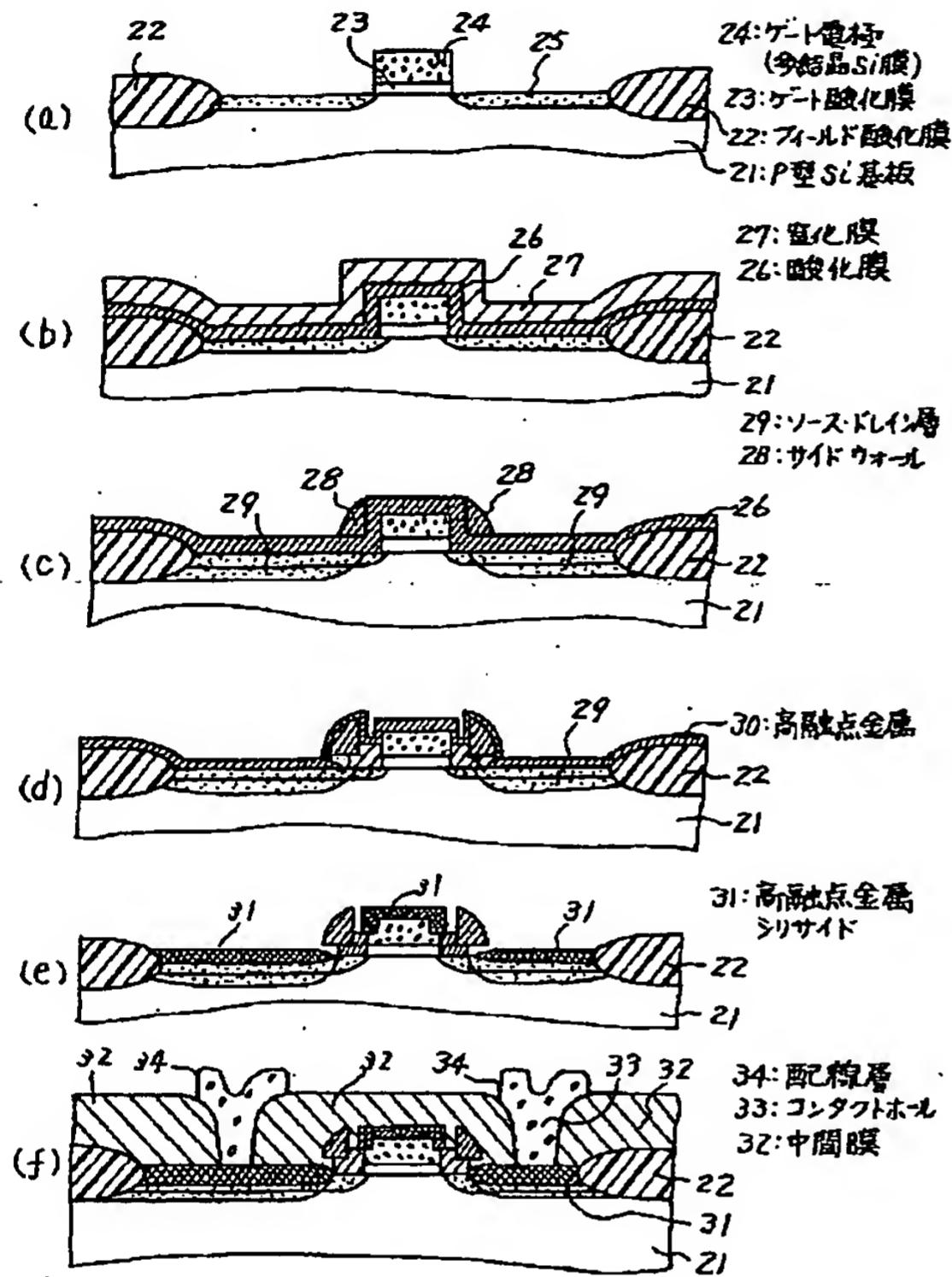
【図2】従来のシリサイド型MOSFETの製造工程断面図である。

【図3】本発明の第2の実施例を示すシリサイド型MOSFETの製造工程断面図である。

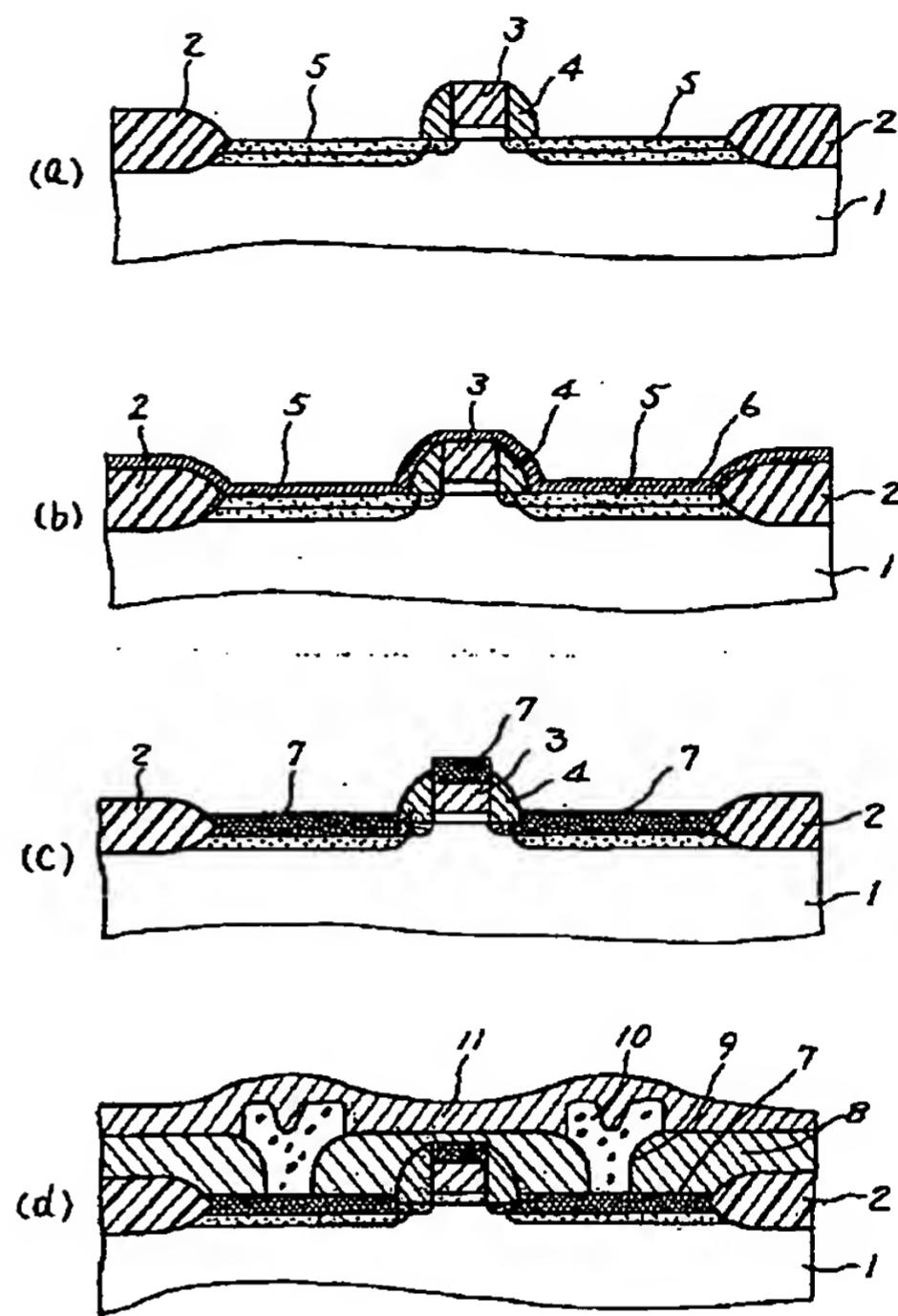
【符号の説明】

21, 41	P型シリコン基板
22, 42	フィールド酸化膜
23, 43	ゲート酸化膜
24, 44	多結晶シリコン膜（ゲート電極）
25, 45	LDD層
26, 46, 47	酸化膜
27	窒化膜
28	サイドウォール
29	ソース・ドレイン層
30, 48	高融点金属膜
31, 49	高融点金属シリサイド
32	中間膜
33	コンタクトホール
34	配線層

【図1】



【図2】



【図3】

